

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-029917

(43)Date of publication of application : 31.01.1995

(51)Int.Cl.

H01L 21/337  
H01L 29/808

(21)Application number : 05-193902

(71)Applicant : JAPAN ENERGY CORP

(22)Date of filing : 12.07.1993

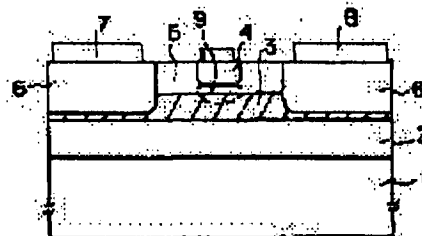
(72)Inventor : IMURA KIMHIKO

## (54) FIELD-EFFECT TRANSISTOR AND ITS MANUFACTURE

### (57)Abstract:

**PURPOSE:** To provide the structure of an FET and its manufacturing method wherein frequency dispersion in FET characteristics is reduced, and FET characteristics like gate withstand voltage are excellent.

**CONSTITUTION:** The title transistor contains the following; a channel layer 3 which is composed of compound semiconductor and contains N-type impurities, a gate electrode 4 which is formed in a specified region on the channel layer and contains P-type impurities, a drain electrode 8 and a source electrode 7 formed so as to sandwich the gate electrode, and a high resistance semiconductor layer 5 which is formed on the channel layer between the gate electrode and the drain and source electrodes and practically contains no impurities. Thereby an FET excellent in characteristics wherein frequency dispersion due to proper defects of compound semiconductor is not present, drain withstand voltage is high, and capacitance between the gate and the source is small can be obtained.





【特許請求の範囲】

【請求項1】 化合物半導体上にn型不純物を含有するチャンネル層と実質的に不純物を含有しない高抵抗半導体層を順次エピタキシャル成長し、該高抵抗半導体層の所定領域にp型不純物をドーブすることでゲート電極を形成し、該ゲート電極をはさむようにドレインおよびソース電極を形成することを特徴とする電界効果トランジスタの製造方法。

【請求項2】 化合物半導体からなりn型不純物を含有するチャンネル層と、該チャンネル層上の所定領域に設けられたp型不純物を含有するゲート電極と、該ゲート電極をはさむように形成されたドレインおよびソース電極と、該ゲート電極と前記ドレインおよびソース電極間の前記チャンネル層上に設けられた実質的に不純物を含有しない高抵抗半導体層とを含むことを特徴とする電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、GaAsなどの化合物半導体を用いた電界効果トランジスタ（以下、FETという）の構造に関し、特に、マイクロ波以上の高周波や高速度の動作に適するFETの構造に関する。

【0002】

【従来技術】 現在、マイクロ波以上の高周波帯域でのアナログ応用あるいは超高速動作のデジタル応用における能動素子として、Si半導体に比べて電子移動度の高い化合物半導体を用いたトランジスタが使用されている。特にGaAs半導体は結晶およびデバイス作製技術が成熟しており、その中心的な役割を果たしている。GaAs半導体を用いた能動素子としては、ショットキー接合ゲートを用いたMES-FETが主に用いられている。MES-FETの断面構造の一例を図1に示す。GaAs半導体からなる基板10の上にn型不純物を含有したGaAsからなるチャンネル層13が設けられ、このチャンネル層13の表面にショットキー接合を形成する金属からなるゲート電極14、およびその両側にチャンネル層13とオーミックコンタクトを形成するソース電極17、ドレイン電極18が設けられている。なお、ゲート電極として、キャリア層と逆の導電型の不純物を含有する半導体領域を用いる構造（JFET）も知られている。

【0003】

【発明が解決しようとする課題】 しかしながら、従来構造のMES-FETでは、実際の動作周波数よりもずっと低い周波数でドレイン電流、トランスコンダクタンス、ドレインコンダクタンスなどに分散を生じる。例えば、1Hzと1GHzで測定したドレイン電流 $I_d$ -ドレイン電圧 $V_d$ の結果を図2に示す。このように、使用周波数程度の周波数では直流特性（近似的に1Hzでの測定）と比較してFET特性が大きく変化していること

（周波数分散）が分かる。この周波数分散は、動作モードによっては致命的な障害となる。

【0004】 このような周波数分散は、化合物半導体の内部および界面に存在する固有欠陥に起因するキャリアトラップによりキャリア電子がトラップされることで、生じることが知られている。しかしながら、化合物半導体の固有欠陥の制御は困難であり、また、実際のFETではこの固有欠陥によりゲート耐圧の向上を得ている。このため、このような周波数分散が改善されるFET構造を具体的に提案することは困難であった。そして、従来のFETおよびこれを含む回路は設計通り動作しない場合が多く見受けられ、また、FET構造の適正化においては明確な設計指針の無いまま非効率的な開発が行なわれていた。

【0005】 本発明は、このような課題を解決するもので、その目的は、FET特性における周波数分散を低減し、かつゲート耐圧などのFET特性に優れたFETの構造および製造方法を提供するものである。

【0006】

【課題を解決するための手段および作用】 本発明によるFETの製造方法は、化合物半導体上にn型不純物を含有するチャンネル層と実質的に不純物を含有しない高抵抗半導体層を順次エピタキシャル成長し、該高抵抗半導体層の所定領域にp型不純物をドーブすることでゲート電極を形成し、該ゲート電極をはさむようにドレインおよびソース電極を形成するものである。

【0007】 また、本発明によるFETの構造は、化合物半導体からなりn型不純物を含有するチャンネル層と、該チャンネル層上の所定領域に設けられたp型不純物を含有するゲート電極と、該ゲート電極をはさむように形成されたドレインおよびソース電極と、該ゲート電極と前記ドレインおよびソース電極間の前記チャンネル層上に設けられた実質的に不純物を含有しない高抵抗半導体層とを含むものである。

【0008】 本発明によれば、ゲート電極はチャンネル層内にp/n接合を形成し、チャンネル層の表面は高抵抗半導体層により覆われているため、半導体界面の固有欠陥がなく、また、ソース、ドレイン電極とゲート電極間は、十分に電氣的に分離されている。したがって、化合物半導体の固有欠陥に起因する周波数分散がなく、かつ、高いドレイン耐圧と低いゲート-ソース間容量を有する優れた特性のFETが得られる。

【0009】

【実施例】 以下、本発明の実施例であるFETをその断面概念図である図3を用いて詳細に説明する。半絶縁性のGaAsからなる基板1上に形成されたp型不純物（Be,  $1.0 \times 10^{16}/\text{cm}^3$ ）を含有するGaAsからなるバッファ層2（厚さ $1.0 \mu\text{m}$ ）があり、その上にn型不純物（Si,  $1.5 \times 10^{17}/\text{cm}^3$ ）を含有するGaAsからなるチャンネル層3（厚さ $0.2 \mu\text{m}$ ）がある。チャネル

3

ル層3とp/n接合を形成するp型不純物を含有するGaAs (Be,  $2.0 \times 10^{17}/\text{cm}^3$ ) からなるゲート電極4 (厚さ $0.1\mu\text{m}$ 、長さ $1.0\mu\text{m}$ ) があり、その両側のチャンネル層3上には実質的に不純物を含有しないGaAs (不純物濃度 $1 \times 10^{15}/\text{cm}^3$ 以下) からなる高抵抗半導体層5 (厚さ $0.15\mu\text{m}$ ) が設けられている。高抵抗半導体層5の外側には、n型不純物を多く含有するGaAs (Si,  $1.0 \times 10^{18}/\text{cm}^3$ ) からなる低抵抗半導体層6 (厚さ $0.2\mu\text{m}$ ) があり、その上には、ソース電極7およびドレイン電極8がある。

【0010】本FETの動作は、ゲート電極4に印加される電圧により、ゲート電極4からチャンネル層3内に張り出した空乏層9の厚みを制御することにより、ソース電極7、ドレイン電極8間のチャンネル層3を流れる電流(ドレイン電流)を変調することができる。そして、チャンネル層3上には高抵抗半導体層5が設けられているので、半導体の表面の固有欠陥にキャリア電子がトラップされ、周波数応答の遅い表面電荷が生じていてもチャンネル層3を流れる電流に影響を与えることはなく、有効ゲート長はほとんどゲート電極4とチャンネル層3の界面にのみ依存する。同時に、ゲート電極4とドレイン電極8間の半導体表面は高抵抗半導体層5で覆われているため、半導体の表面の固有欠陥とは独立に高いドレイン耐圧が得られる。

【0011】さらに、p型のバッファ層2を用いているため、バッファ層2とチャンネル層3界面に固有欠陥が生じても、その固有欠陥にキャリア電子がトラップされることがなく、チャンネル層3を流れる電流に影響を与えることもない。また、ゲート電極4から広がる空乏層9の深さ方向の広がりが制限されるため、ゲート容量も低減できる。なお、バッファ層2としては、チャンネル層3との界面にトラップされたキャリアを排除する(キャリアに対して障壁となる)ことのできるものであればよく、チャンネル層3と格子整合し、それよりもバンドギャップが広い半導体を用いても同様な効果が得られる。

【0012】以下、本実施例の製造工程を説明する。まず、MBE装置を用いて半絶縁性のGaAsからなる基板1上にp型不純物を含有するGaAsからなるバッファ層2、n型不純物を含有するGaAsからなるチャンネル層3、および実質的に不純物を含有しないGaAsからなる高抵抗半導体層5をエピタキシャル成長する。高抵抗半導体層5表面のゲート電極4領域にBeを、また、ソース電極7およびドレイン電極8を形成する領域にSiをそれぞれイオン注入し、窒化シリコン膜を用いて活性化アニールを行う。その後、ゲート電極4としてAuZn合金を、ソース電極7およびドレイン電極8としてAuGe/Niを蒸着し合金化アニールする。

【0013】特に本製造方法によれば、高抵抗半導体層5、チャンネル層3またはバッファ層2の界面、表面に

4

おける固有欠陥を低減することができ、キャリア電子がトラップされることが少なく、周波数応答の遅い表面電荷を生じにくい。

【0014】以上の実施例では、化合物半導体としてGaAsを用いているが、InPなどの他のIII-V族化合物半導体でもよい。エピタキシャル成長方法としてはMOCVDなどの成長方法でもよく、ゲート電極を形成する不純物のドーピング方法はイオン注入以外の拡散方法でもよい。

10 【0015】

【発明の効果】本発明によるFETの製造方法は、化合物半導体上にn型不純物を含有するチャンネル層と実質的に不純物を含有しない高抵抗半導体層を順次エピタキシャル成長し、該高抵抗半導体層の所定領域にp型不純物をドーピングすることでゲート電極を形成し、該ゲート電極をはさむようにドレインおよびソース電極を形成するものである。

20 【0016】また、本発明によるFETの構造は、化合物半導体からなりn型不純物を含有するチャンネル層と、該チャンネル層上の所定領域に設けられたp型不純物を含有するゲート電極と、該ゲート電極をはさむように形成されたドレインおよびソース電極と、該ゲート電極と前記ドレインおよびソース電極間の前記チャンネル層上に設けられた実質的に不純物を含有しない高抵抗半導体層とを含むものである。

30 【0017】本発明によれば、ゲート電極はチャンネル層内にp/n接合を形成し、チャンネル層の表面は高抵抗半導体層により覆われているため、半導体界面の固有欠陥がなく、また、ソース、ドレイン電極とゲート電極間は、充分に電気的に分離されている。したがって、化合物半導体の固有欠陥に起因する周波数分散がなく、かつ、高いドレイン耐圧と低いゲートソース間容量を有する優れた特性のFETが得られる。

【図面の簡単な説明】

【図1】従来技術によるMES-FETの断面構造を説明するための概念図。

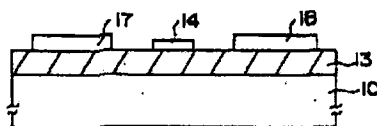
【図2】従来技術によるMES-FETの周波数分散を説明するための図。

40 【図3】本発明の一実施例であるFETの断面構造を説明するための概念図。

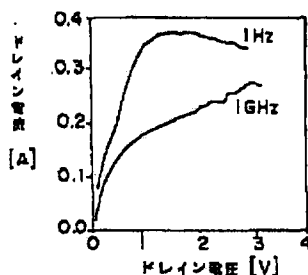
【符号の説明】

- 1 基板(半絶縁性GaAs)
- 2 バッファ層(p型GaAs)
- 3 チャンネル層(n型GaAs)
- 4 ゲート電極
- 5 高抵抗半導体層
- 6 低抵抗半導体層
- 7 ソース電極
- 8 ドレイン電極
- 50 9 空乏層

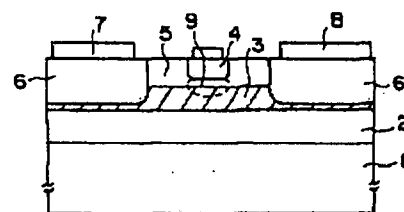
【図1】



【図2】



【図3】



【手続補正書】

【提出日】平成5年9月7日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】本発明によれば、ゲート電極はチャンネル層内にp/n接合を形成し、チャンネル層の表面は高抵抗半導体層により覆われている。半導体層の表面ポテンシャルは、p/n接合ポテンシャルより小さいため、半導体の固有欠陥のチャンネルに及ぼす影響が小さく、また、ソース、ドレイン電極とゲート電極間は、十分に電氣的に分離されている。したがって、化合物半導体の固有欠陥に起因する周波数分散がなく、かつ、高いドレイン耐圧と低いゲートソース間容量を有する優れた特性のFETが得られる。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】さらに、p型のバッファ層2を用いているため、バッファ層2とチャンネル層3界面に固有欠陥が生じても、その固有欠陥にキャリア電子がトラップされることが低減され、チャンネル層3を流れる電流に影響を与えることも少ない。また、ゲート電極4から広がる空乏層9の深さ方向の広がりが制限されるため、ゲート容量も低減できる。なお、バッファ層2としては、チャンネル層3との界面にトラップされたキャリアを排除する（キャリアに対して障壁となる）ことのできるものであればよく、チャンネル層3と格子整合し、それよりもバンドギャップが広い半導体を用いても同様な効果が得られる。